

Testmethoden und Zuverlässigkeit von Schaltungen und Systemen

12. - 14. März 2006, Maritim Hotel, Titisee

Vorläufiges Programm

Sonntag, 12. März 2006

18:00 Uhr

Abendessen

19:00 Uhr – 20:00 Uhr

Begrüßung und Fachgruppensitzung

20:00 Uhr – 21:00 Uhr

Panel: Test, Diagnose und Zuverlässigkeit in zukünftigen elektronischen Systemen

Moderation: S. Hellebrand, Universität Paderborn, Paderborn

Teilnehmer: J. Alt, Infineon Technologies AG, München, Deutschland; B.

Becker; Albert-Ludwigs-Universität, Freiburg, Deutschland; S. Eichenberger,

Philips Semiconductors Nijmegen, Niederlande; M. Keim, Mentor Graphics,

Wilsonville, USA; B. Straube, Fraunhofer IIS / EAS Dresden, Dresden,

Deutschland; H.-J. Wunderlich, Universität Stuttgart, Deutschland

Montag, 13. März 2006

9:15 Uhr – 9:30 Uhr

Eröffnung

B. Becker; Albert-Ludwigs-Universität, Freiburg, Deutschland

9:30 Uhr – 10:30 Uhr

Eingeladener Vortrag

Test Challenges for Next generation High Volume CPU Designs

R. Galivanche; Intel Santa Clara, USA

10:30 Uhr – 11:00 Uhr

Kaffeepause

11:00 Uhr – 12:30 Uhr

1. Sitzung: Test and Diagnosis in a Non-Digital Environment

Sitzungsleitung: H.-J. Jentschel; Technische Universität Dresden, Dresden

Verifikation eines ADC-Testverfahrens für Multi-Site Produktionstest mit rein digitalen Ressourcen

H. Mattes, S. Kirmser, S. Sattler; Infineon Technologies AG, München, Deutschland

Mixed-Signal Test Software Generation Process - Metrics, Software Engineering Methods and Tools for Improving Quality and Productivity

H.M. von Staudt¹, S. Vock²; ¹Dialog Semiconductor, Kirchheim/Teck, Deutschland, ²SEPT Europe, Baierbrunn (München), Deutschland

Fehlerdiagnose von Analogschaltungen unter Verwendung eines analogen Fehlersimulators

B. Straube¹, W. Vermeiren¹, M. Lindig¹, T. Coym¹, L. Grobelny², A. Lerch²;

¹Fraunhofer-Institut für Integrierte Schaltungen, Dresden, Deutschland, ²ZMD Analog Mixed Signal Services GmbH & Co. KG, Dresden, Deutschland

12:30 Uhr – 14:30 Uhr

Mittagessen

14:30 Uhr – 16:00 Uhr

2. Sitzung: Reliability, Fault and Error Tolerance

Sitzungsleitung: J. Schlöffel; Philips Semiconductors GmbH, Hamburg

The Role of Realistic Reliability, Availability, Maintainability and Testability Parameters (RAMT) on System Level

W. Hoppe; Rheinmetall Defence Electronics GmbH, Bremen, Deutschland

Ein dynamisch rekonfigurierbarer superskalärer Prozessor mit den Modi Sicherheit und Performanz

T. Kottke¹, A. Steininger²; ¹EADS Deutschland GmbH, München, Deutschland, ²Technische Universität Wien, Österreich

Period of Grace: A New Paradigm for Efficient Soft Error Hardening

I. Polian^{1,2}, B. Becker², M. Nakasato¹, S. Ohtake¹, H. Fujiwara¹; ¹Graduate School of Information Science, Ikoma City, Japan, ²Albert-Ludwigs-Universität, Freiburg, Deutschland

16:00 Uhr – 17:00 Uhr

Poster Sitzung und Kaffeepause

Efficiency of Multi-Valued Encoding in SAT-based ATPG

G. Fey, J. Shi, R. Drechsler; Universität Bremen, Deutschland

JTAG/Boundary Scan Systeme in der Praxis

R. Dreßler; GÖPEL electronic GmbH, Jena, Deutschland

Reliability Testing of Three-Dimensional Silicon Force Sensors

S. Spinner¹, J. Bartholomeyczik¹, B. Becker¹, M. Doelle¹, O. Paul¹, I. Polian¹, R. Roth², K. Seitz², P. Ruther¹; ¹Albert-Ludwigs-Universität, Freiburg, Deutschland, ²Carl Zeiss Industrielle Messtechnik GmbH, Oberkochen, Deutschland

Messung von Empfindlichkeitsprofilen an Fotodioden

M. Meister¹, H. Pless²; ¹Institut für Mikroelektronik- und Mechatronik-Systeme gGmbH, Ilmenau, Deutschland, ²Melexis GmbH, Erfurt, Deutschland

Analyse von versorgungstrombasierten Messdaten zur Gewinnung von Test-Entscheidungsschwellen

M. Arabackyj; Friedrich-Alexander-Universität, Erlangen-Nürnberg, Deutschland

Statistische Analyse des Zeitverhaltens von CMOS Schaltungen und Modellierung von Parametervariationen

F. Sill, C. Cornelius, D. Timmermann; Universität Rostock, Deutschland

Möglichkeiten und Grenzen für den hierarchischen Selbsttest von "Systems on a Chip"

R. Kothe, S. Schultke, C. Galke, H.T. Vierhaus; BTU Cottbus, Deutschland

Eingebettete Selbstreparatur durch Rekonfiguration von FPGAs

S. Habermann, R. Kothe, H.T. Vierhaus; BTU Cottbus

IddQ Testing of Resistive Bridging Defects

P. Engelke¹, I. Polian¹, H. Manhaeve², M. Renovell³, B. Becker¹; ¹Albert-Ludwigs-Universität, Freiburg, Deutschland, ²Q-Star Test, Brugge, Belgien, ³LIRMM – UMII, Montpellier, Frankreich

17:00 Uhr – 18:30 Uhr

3. Sitzung: Issues in SOC and System Test

Sitzungsleitung: V. Schöber; edacentrum e. V., Hannover

Kompakter Architektur zur Reduktion und Kompensation von Test- und Diagnosedaten On-Chip

J. Rzeha¹, M. Beck², F. Pöhl², M. Gössel¹; ¹Universität Potsdam, Deutschland,

²Infineon Technologies AG, München, Deutschland

(KURZVORTRAG)

Reduction of Test Time Using Serialized/Deserialized Scan Data Transfer

M. Seuring; AMD Saxony LLC & Co. KG, Dresden, Deutschland

(KURZVORTRAG)

An Advanced Memory Built-in Self Test Controller

K. Hesse, M. Seuring; AMD Saxony LLC & Co. KG, Dresden, Deutschland

ExTraCT: A New Approach for the Transparent Test of Time-Triggered Communication Services

E. Armengaud; Vienna University of Technology, Österreich

20:00 Uhr – 22:00 Uhr

Abendessen

Dienstag, 14. März 2006

8:30 Uhr – 10:30 Uhr

4. Sitzung: RF Challenges

Sitzungsleitung: S. Sattler; Infineon Technologies AG, München

A Built-In-Self-Test view on estimation of mixer-parameters of direct conversion receiver front-ends

R. Müller, H.-J. Jentschel; Technische Universität Dresden, Dresden, Deutschland

RF Built-In Self-Test for Integrated Transmitters Using Sigma-Delta Techniques

C. Munker¹, R. Weigel²; ¹Infineon Technologies AG, München, Deutschland,

²Friedrich-Alexander-Universität, Erlangen-Nürnberg, Deutschland

Integrierte RF-CMOS-Transceiver - neue Herausforderungen für den Produktionstest

F. Demmerle; Infineon Technologies AG, München, Deutschland

Teststrategien für HF-ICs vom Labor zur Produktion

B. Bieske¹, P. Witzenhausen¹, A. Brenneke²; ¹Institut für Mikroelektronik- und Mechatronik-Systeme gGmbH, Ilmenau, Deutschland, ²Melexis GmbH, Erfurt, Deutschland

10:30 Uhr – 11:00 Uhr

Kaffeepause

11:00 Uhr – 12:00 Uhr

5. Sitzung: Processor Self Test and Power

Sitzungsleitung: M. Kessler; IBM Entwicklungs GmbH, Böblingen

Softwarebasierender Selbsttest von Prozessoren bei beschränkter Verlustleistung

J. Zhou, H.-J. Wunderlich, T. Bergmann; Universität Stuttgart, Deutschland

BIST Power Reduction Using Scan-Chain Disable in the Cell Processor

C. Zoellin¹, H.-J. Wunderlich¹, N. Maeding², J. Leenstra²; ¹Universität Stuttgart, Deutschland, ²IBM Deutschland Entwicklung, Böblingen, Deutschland

12:00 Uhr – 14:00 Uhr

Mittagessen

Sponsoren des Workshops:

BOSCH

Robert Bosch GmbH, Stuttgart



Infineon Technologies AG, München



Micronas GmbH, Freiburg

PHILIPS

Philips Semiconductors GmbH, Hamburg



Albert Ludwigs Universität, Freiburg